

LINGUAGEM ASSEMBLY E FERRAMENTA ASSEMBLER PARA PROGRAMAÇÃO DE PROCESSADORES MULTICORE

Milton César Correia Segundo (Bolsista PIBIC/CNPq), Ivan Saraiva Silva (Orientador, Departamento de/UFPI)

Introdução

Em 2008 Silvio Roberto Fernandes, pesquisador do LASIC(Laboratório de Sistemas em Chip) da UFRN desenvolveu um sistema baseado em NoCs(*Network On Chip*) e processadores em fila, denominado IPNoSys. Tal sistema constitui-se numa malha de 16 unidades de roteamento com capacidade de processamento em conjunto com 4 módulos de memória. Para tanto segue uma heurística baseada em formato e transmissão de pacotes, permitindo execução de instruções em *pipeline* com a transmissão de dados e instruções.

No CESLA(*Circuits Embedded Systems Lab*), através do projeto Linguagem Assembly e ferramentas Assembly e ferramenta Assembler para programação de processadores multicore, da Universidade Federal do Piauí são estudados pelo orientando autor desse relatório, e da nova descrição VHDL do IPNoSys formas de aperfeiçoar o sistema, incluindo novas funções aos componentes de hardware, resumo das unidades de roteamento em uma única unidade de processamento, bem como aperfeiçoamento do desempenho e da forma de execução da ISA(*Instruction Set Architecture*) usada para essa arquitetura.

Metodologia

As atividades do presente projeto relacionadas ao sistema IPNoSys envolvem o professor Dr. Ivan Saraiva(CCN), o mestrando Silvio Fernandes(Programa de pós-graduação em sistemas e de computação da UFRN), o qual realizou descrição do sistema em SystemC com precisão de ciclo, e o bolsista PIBIC CNPq autor deste relatório. A metodologia do projeto até o presente momento prevê:

- Troca de informações entre os bolsista e o projetista do sistema;
- Utilização de processadores e componentes de hardware de licença gratuita como auxílio para o entendimento e realização do projeto de redes em chip;
- Descrição do sistema IPNoSys utilizando VHDL pelo bolsista;
- Aperfeiçoamento do sistema IPNoSys descrito;
- Teste do sistema IPNoSys utilizando componentes de software específicos para serem aplicados na arquitetura;
- Prototipagem e validação do sistema IPNoSys utilizando ferramentas de síntese em FPGA.

Resultados e Discussão

O caráter diferencial do projeto está no fato de trazer uma nova área de pesquisa para a UFPI(Universidade Federal do Piauí), integrando os alunos de iniciação científica locais a grupos de pesquisa vinculados a UFRN na área de sistemas multiprocessados em chip. A iniciativa trouxe para a universidade uma nova área de pesquisa ampliando os horizontes de atuação da mesma.

Verifica-se atualmente o progresso do projeto, com a descrição VHDL de um modelo do sistema IPNoSys, que hoje encontra-se no estado de uma rede em chip já interligada, com as características específicas da plataforma executando instruções aritméticas e de deslocamento. Para simular a execução dessas instruções utiliza-se a ferramenta Quartus II 9.1 Web Edition que possibilita imprimir os resultados da execução de um circuito em forma de ondas.

Figura 1 – Abcdef abcdef.

A elevada complexidade do sistema IPNoSys, tendo em vista que foi necessário descrever o mesmo desde o começo, já que a versão anterior está implementada em SystemC, além de decisões relativas à nova implementação que envolvem questões de melhor eficiência e aproveitamento dos recursos de hardware. No entanto, há a disponibilidade de todas as ferramentas e todo suporte necessário ao aprendizado e execução da pesquisa

Conclusão

A área de plataformas multiprocessadas em chip dão origem a pesquisas extremamente promissoras no atual paradigma da indústria de hardware, posto a sua importância na viabilização dos projetos tecnológicos de SoCs. Cada vez que um grupo de pesquisa gera conhecimento nessa área, outros grupos de pesquisas podem se beneficiar desses conhecimentos e contribuir para o desenvolvimento de novas pesquisas. Tal processo se dá como uma reação em cadeia, mesmo que lenta, que leva ao surgimento de tecnologias, em áreas ainda não muito exploradas no nosso país, feitas com capital intelectual nacional.

Apoio: Sílvia Fernandes.

Referências

BRUCH, J. V. Avaliação de Alternativas Arquiteturais para Redução do Consumo de Energia na Rede-em-Chip SOCIN. Trabalho de Conclusão de Curso, Universidade do Vale do Itajaí, Itajaí, 2011.

ZEFERINO, C. *A abcdef*. Introdução às Redes-em-Chip.

ZEFERINO, C. A. Redes-Em-Chip: arquiteturas e modelos para avaliação de área e desempenho. Dissertação de Mestrado, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2003.

ARAUJO, S. R. F. de. Estudo Da Viabilidade Do Desenvolvimento De Sistemas Integrados Baseados Em Redes Em Chip sem Processadores: Sistema IPNoSys. Dissertação de Mestrado, Universidade Federal do Rio Grande do Norte, Natal, 2008.

http://www.lasic.ufrn.br/index.php?option=com_content&view=article&id=22&Itemid=34, acesso em 8/02/2012.

Palavras-chave: Redes-em-chip. Sistema IPNoSys. Computadores em Fila.